

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年    3 月    6 日  
Date of Application:

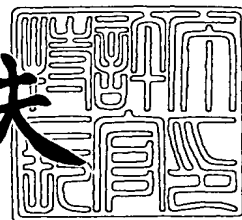
出 願 番 号            特 願 2 0 0 3 - 0 5 9 8 7 9  
Application Number:  
[ST. 10/C] :            [ J P 2 0 0 3 - 0 5 9 8 7 9 ]

出      願      人            株式会社デンソー  
Applicant(s):

2 0 0 4 年    1 月 2 8 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 N030037

【提出日】 平成15年 3月 6日

【あて先】 特許庁長官殿

【国際特許分類】 H03H 17/02

【発明者】

    【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

    【氏名】 牧野 貴紀

【発明者】

    【住所又は居所】 愛知県刈谷市昭和町 1 丁目 1 番地 株式会社デンソー内

    【氏名】 青山 正紀

【特許出願人】

    【識別番号】 000004260

    【氏名又は名称】 株式会社デンソー

【代理人】

    【識別番号】 100071135

    【住所又は居所】 名古屋市中区栄四丁目 6 番 1 5 号 名古屋あおば生命ビ  
ル

    【弁理士】

    【氏名又は名称】 佐藤 強

    【電話番号】 052-251-2707

【選任した代理人】

    【識別番号】 100119769

    【弁理士】

    【氏名又は名称】 小川 清

【手数料の表示】

    【予納台帳番号】 008925

    【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9200169

【包括委任状番号】 0217337

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ローパスフィルタ及びそれを使用した半導体圧力センサ装置

【特許請求の範囲】

【請求項 1】 2 相クロックパルスを構成する第 1 相クロックパルス ( $\phi 1$ ) と第 2 相クロックパルス ( $\phi 2$ ) とにより動作するスイッチトキャパシタ回路で構成されたローパスフィルタであって、該ローパスフィルタは、

第 1 相クロックパルス ( $\phi 1$ ) が ON、第 2 相クロックパルス ( $\phi 2$ ) が OFF の状態においては、第 1 のキャパシタは入力電圧まで充電され、第 2 のキャパシタはゼロ V まで放電され、第 3 のキャパシタは充放電しない動作を行ない、

続く第 1 相クロックパルス ( $\phi 1$ )、第 2 相クロックパルス ( $\phi 2$ ) が共に OFF の状態においては、前記第 1、第 2、第 3 のキャパシタは何れも充放電しない動作を行ない、

続く第 1 相クロックパルス ( $\phi 1$ ) が OFF、第 2 相クロックパルス ( $\phi 2$ ) が ON の状態においては、前記第 2、第 3 のキャパシタは並列に接続され、前記第 1 のキャパシタはゼロ V まで放電してその放電電流は並列接続された第 2、第 3 のキャパシタを充電する動作を行ない、

続く第 1 相クロックパルス ( $\phi 1$ )、第 2 相クロックパルス ( $\phi 2$ ) が共に OFF の状態においては、前記第 1、第 2、第 3 のキャパシタは何れも充放電しない動作を行ない、その後は前記最初の動作状態に戻る動作を行なうように構成されたものであり、

前記 2 相クロックパルスの第 1 相クロックパルス ( $\phi 1$ ) とそれに続く第 2 相クロックパルス ( $\phi 2$ ) との時間間隔を、第 1 相クロックパルス ( $\phi 1$ ) により導通するアナログスイッチと第 2 相クロックパルス ( $\phi 2$ ) により導通するアナログスイッチとが同時に導通する状態が生じない範囲でできるだけ狭めてあることを特徴とするスイッチトキャパシタ回路で構成されたローパスフィルタ。

【請求項 2】 スイッチトキャパシタ回路で構成されたローパスフィルタであって、

演算増幅器と、第 1、第 2、第 3 のキャパシタと、2 相クロックパルスの第 1 相クロックパルス ( $\phi 1$ ) が ON の期間中のみ導通する第 1、第 2、第 3 のアナ

ログスイッチと、2相クロックパルスの第2相クロックパルス( $\phi 2$ )がONの期間中のみ導通する第4、第5、第6のアナログスイッチとを具備し、

前記演算増幅器(OP1)は単一の電源電圧(Vd)により動作する演算増幅器であって、その非反転入力端子には該電源電圧(Vd)の約1/2の基準電圧(Vref)が印加され、第1のアナログスイッチ(S11)は入力端子(N0)と相互接続ノードN1との間に、第4のアナログ(S24)は相互接続ノードN1と演算増幅器(OP1)の非反転入力端子との間に、第1のキャパシタ(C1)は相互接続ノードN1と相互接続ノードN2との間に、第2のアナログスイッチ(S12)は相互接続ノードN2と演算増幅器(OP1)の非反転入力端子との間に、第5のアナログスイッチ(S25)は相互接続ノードN2と演算増幅器(OP1)の反転入力端子との間に、第2のキャパシタ(C2)は相互接続ノードN2と相互接続ノードN3との間に、第3のキャパシタ(C3)は演算増幅器(OP1)の反転入力端子と出力端子との間に、第3のアナログスイッチ(S13)は相互接続ノードN3と演算増幅器(OP1)の非反転入力端子との間に、第6のアナログスイッチ(S26)は相互接続ノードN3と演算増幅器(OP1)の出力端子との間にそれぞれ接続され、演算増幅器(OP1)の出力端子と非反転入力端子との間より出力信号を取り出すように構成されており、

前記2相クロックパルスの第1相クロックパルス( $\phi 1$ )とそれに続く第2相クロックパルス( $\phi 2$ )との時間間隔は、第1相クロックパルス( $\phi 1$ )により導通するアナログスイッチと、第2相クロックパルス( $\phi 2$ )により導通するアナログスイッチとが同時に導通する状態が生じない範囲でできるだけ狭めてあることを特徴とするスイッチトキャパシタ回路で構成されたローパスフィルタ。

【請求項3】 前記第1相クロックパルス( $\phi 1$ )とそれに続く第2相クロックパルス( $\phi 2$ )との時間間隔を、第1相クロックパルス( $\phi 1$ )により導通するアナログスイッチと、第2相クロックパルス( $\phi 2$ )により導通するアナログスイッチとが同時に導通する状態が生じない範囲で高温時の洩れ電流による影響を受けない時間以内としたことを特徴とする請求項1又は2に記載のスイッチトキャパシタ回路で構成されたローパスフィルタ。

【請求項4】 半導体基板の一部を薄肉にして形成したダイアフラムの表面

に、該ダイアフラムに圧力が加わった場合に抵抗が増加する 2 つのピエゾ抵抗素子 (G 1、G 2) と、反対に抵抗が減少する 2 つのピエゾ抵抗素子 (G 3、G 4) とを設け、それらを同じ抵抗変化を生ずるもの同士が隣り合わないようブリッジ接続し、隣り合わない 2 つの相互接続端子に定電流又は定電圧を印加して残り 2 つの相互接続端子間に生ずる差電圧を差動増幅回路で増幅し、該増幅された電圧を請求項 1 ないし 3 の何れかに記載のスイッチトキャパシタ回路で構成されたローパスフィルタの前記入力端子と前記演算増幅器 (O P 1) の非反転入力端子との間に入力し、該ローパスフィルタの出力信号により前記ダイアフラムに加わった圧力を検出するようにしたことを特徴とする半導体圧力センサ装置。

#### 【発明の詳細な説明】

##### 【0 0 0 1】

#### 【発明の属する技術分野】

本発明は、スイッチトキャパシタ (Switched Capacitor) 回路で構成されたローパスフィルタ及び、それを組み込んだ半導体圧力センサ装置に関する。

##### 【0 0 0 2】

#### 【従来の技術】

半導体圧力センサは、その小型、高性能性が評価されて自動車エンジンの吸気管、排気管内の圧力検出等、自動車用以外ではガスメータ用途などに幅広く採用されている。一般に半導体圧力センサは応答性が良いため、高速の圧力変動の検出には都合が良いが、高周波成分を除いた平均的圧力変動を検出したいような場合には、この高速応答性が返って逆効果になる。従って、そのような場合には検出した値を、ローパスフィルタを通すことによって高周波成分を取り除き、目的とする低周波成分のみを取り出すことが行なわれる。

##### 【0 0 0 3】

図 7 は、半導体圧力センサ 1 で検出した信号を差動増幅回路 2 で増幅した後、ローパスフィルタ 3 を通すことによって低周波成分のみを検出する従来の半導体圧力センサ装置の一例である。半導体圧力センサ 1 は、例えば、シリコン基板の一部を薄肉にしてダイアフラムを形成し、その表層部にピエゾ抵抗素子 (歪み抵抗ゲージ) G 1 ~ G 4 を形成したものである。ダイアフラムに圧力が加わると歪

みが生じ、ピエゾ抵抗素子G 1～G 4の抵抗値が変化する。ピエゾ抵抗素子G 1～G 4はブリッジ接続され、ダイアフラムへの圧力に応じて、例えばピエゾ抵抗素子G 2とG 3の相互接続点の電位V<sub>p1</sub>は増加し、ピエゾ抵抗素子G 1とG 4の相互接続点の電位V<sub>p2</sub>は低下するようにしてある。

#### 【0004】

相互接続点の電位V<sub>p1</sub>、V<sub>p2</sub>は、差動増幅回路2に入力されて増幅され、差電圧(V<sub>p1</sub>－V<sub>p2</sub>)に比例する電圧V<sub>o</sub>が出力される。出力電圧V<sub>o</sub>は高周波成分を含むため、ローパスフィルタ3を通すことによって高周波成分が取り除かれ、低周波成分のみの出力電圧V<sub>out</sub>が得られる。

#### 【0005】

ここで、ローパスフィルタ3としては、半導体集積回路上に形成することができ、スイッチトキャパシタ回路で構成したローパスフィルタが通常、採用される。ローパスフィルタ3に使用されているスイッチS 11、S 12、S 13は、2相クロックパルスφ 1、φ 2の第1相クロックパルスφ 1が印加されている間のみ導通するアナログスイッチであり、スイッチS 24、S 25、S 26は第2相クロックパルスφ 2が印加されている間のみ導通するアナログスイッチである。図8に、2相クロックパルスφ 1、φ 2の従来の波形とタイミングを示す。これは2相クロックパルスφ 1、φ 2の周波数が150kHzの場合の波形の例である。

#### 【0006】

アナログスイッチS 11～13、S 24～26が図8に示す2相クロックパルスφ 1、φ 2によりスイッチング動作をすると、ローパスフィルタ3は図6に示す等価回路と同じ動作を行なう。この等価回路の抵抗R 1、R 2の値、及び低周波カットオフ周波数f<sub>c</sub>は次の式で表わされる。

$$R 1 = 1 / (f s \cdot C 1) \quad (1) \text{ 式}$$

$$R 2 = 1 / (f s \cdot C 2) \quad (2) \text{ 式}$$

$$f c = 1 / (2 \pi \cdot R 2 \cdot C 3) = f s \cdot C 2 / (2 \pi \cdot C 3) \quad (3) \text{ 式}$$

ここで、f<sub>s</sub>は2相クロックパルスφ 1、φ 2の周波数である。

#### 【0007】

通常の半導体圧力センサ装置では、カットオフ周波数  $f_c$  として  $100 \sim 400 \text{ Hz}$  程度が必要とされる。例えば、カットオフ周波数  $f_c$  を  $100 \text{ Hz}$  にする場合には、 $C_2 = 0.25 \text{ pF}$ 、 $C_3 = 60 \text{ pF}$ 、 $f_s = 150 \text{ kHz}$  とすればよい。この数値は半導体集積回路上で実現するには無理のない数値である。

#### 【0008】

しかし、カットオフ周波数  $f_c$  として  $1 \text{ Hz}$  程度の低い周波数が必要とされる場合を考えると、2相クロックパルスの周波数  $f_s$  とキャパシタ  $C_2$  の値を上記数値例と同じにしたのでは、キャパシタ  $C_3$  の値を  $6000 \text{ pF}$  にしなければならないことになる。この容量は、半導体集積回路上で実現するには实际的でない値である。従って、半導体集積回路上で  $1 \text{ Hz}$  のカットオフ周波数  $f_c$  を実現しようとする場合には、2相クロックパルス  $\phi_1$ 、 $\phi_2$  の周波数  $f_s$  を  $100$  分の  $1$  の  $1.5 \text{ kHz}$  程度まで下げる手段を考える必要がある。

#### 【0009】

ここで、2相クロックパルス  $\phi_1$ 、 $\phi_2$  の1周期を、 $\phi_1$ 、 $\phi_2$  の位相関係により図8に示すように相1、相2、相3、相4の4つの相に分け、それら各相における図7中のスイッチトキャパシタ回路で構成されたローパスフィルタ3の動作を考察する。まず相1においては、各アナログスイッチの状態は図5の(1)に示すようになり、キャパシタ  $C_1$  は入力電圧  $V_o$  に充電され、反対にキャパシタ  $C_2$  は放電して充電電荷はゼロになる。キャパシタ  $C_3$  の充電電荷は変化しない。

#### 【0010】

続く相2においては、図5の(2)に示すように全てのアナログスイッチがOFFするため、各キャパシタは充電も放電もせず、相1が終了する直前の充電電圧を維持する。

#### 【0011】

続く相3においては、各アナログスイッチの状態は図5の(3)に示すようになり、キャパシタ  $C_2$ 、 $C_3$  は並列接続となり、キャパシタ  $C_1$  は演算増幅器OP1の反転入力端子と非反転入力端子との間に接続された状態となる。演算増幅器OP1の反転入力端子と非反転入力端子との電位は等しいため、キャパシタ  $C$



1は放電し、その放電電流はキャパシタC2、C3を充電する。キャパシタC2は、最終的に演算増幅器OP1のその時点の出力電圧 $V_{out}$ まで充電される。キャパシタC3は、キャパシタC1の放電電流により充電された分だけ充電電圧が変化する。キャパシタC3の充電電圧と出力電圧 $V_{out}$ とは等しいので、出力電圧 $V_{out}$ もキャパシタC3の充電電圧が変化した分だけ変化する。

#### 【0012】

続く相4においては、図5の(4)に示すように、全てのアナログスイッチが相3と同じくOFFし、各キャパシタは相3の終了直前の充電電圧を維持する。

#### 【0013】

ここで問題になるのは、相2の期間中におけるキャパシタC1、C2の充電電圧の変化である。相2の開始直後におけるキャパシタC1の充電電荷は $V_o \cdot C_1$ 、キャパシタC2の充電電荷はゼロである。キャパシタC1、C2は、半導体集積回路上での面積を小さくするために、通常1pFあるいはそれ以下の非常に小さな容量に形成されている。容量がこのような小さな値であると、それらキャパシタの前後に接続されたアナログスイッチがOFF状態であったとしても、それらアナログスイッチの僅かな洩れ電流によって充電電圧は大きな影響を受ける。

#### 【0014】

ここで、アナログスイッチの洩れ電流とは、アナログスイッチがOFFしている状態におけるドレインソース間の有限の抵抗値による洩れ電流、ドレイン、ソース電極下の領域と基板との間に存在するPN接合の逆方向洩れ電流などである。これらの洩れ電流の大きさは温度によって変化し、高温になる程、洩れ電流の値は大きくなる。

#### 【0015】

図8に示したカットオフ周波数 $f_c$ が100Hzの場合の波形は、相2の期間が $1.7\mu s$ と短いために洩れ電流による影響は殆ど無視できる。しかし、各キャパシタの容量をそのままにした状態で、カットオフ周波数 $f_c$ を1Hzに下げ場合には、2相クロックパルス $\phi_1$ 、 $\phi_2$ の周波数 $f_s$ を1.5kHzに下げなければならない。そうすると、相2の期間は100倍の $170\mu s$ にも長くな

る。このように全てのアナログスイッチがOFFしている相2の期間が長くなると、キャパシタC1、C2の充電電荷は、前後に接続されたアナログスイッチの洩れ電流の影響を受けて変化する。その結果として、ローパスフィルタ3の低周波領域におけるゲイン及び(3)式で表わされるカットオフ周波数が変動するという問題が生ずる。

**【0016】****【特許文献1】**

特開2001-165797号報

**【0017】****【特許文献2】**

特開2002-39888号報

**【0018】****【発明が解決しようとする課題】**

本発明は、従来技術のこうした問題点を解決するためになされたもので、その目的は、スイッチトキャパシタ回路で構成したローパスフィルタにおいて、非常に低いカットオフ周波数を得るために2相クロックパルスの周波数を下げた場合においても、アナログスイッチの洩れ電流の影響を受けにくいローパスフィルタを提供すること、及びそれを組み込んだ半導体圧力センサ装置を提供することにある。

**【0019】****【課題を解決するための手段】**

前記目的を達成するための請求項1に記載の発明は、2相クロックパルスを構成する第1相クロックパルス( $\phi 1$ )と第2相クロックパルス( $\phi 2$ )とにより動作するスイッチトキャパシタ回路で構成されたローパスフィルタである。該ローパスフィルタは、第1相クロックパルス( $\phi 1$ )がON、第2相クロックパルス( $\phi 2$ )がOFFの状態においては、第1のキャパシタは入力電圧まで充電され、第2のキャパシタはゼロVまで放電され、第3のキャパシタは充放電しない動作を行う。続く第1相クロックパルス( $\phi 1$ )、第2相クロックパルス( $\phi 2$ )が共にOFFの状態においては、前記第1、第2、第3のキャパシタは何れも

充放電しない動作を行う。続く第1相クロックパルス ( $\phi 1$ ) がOFF、第2相クロックパルス ( $\phi 2$ ) がONの状態においては、前記第2、第3のキャパシタは並列に接続され、前記第1のキャパシタはゼロVまで放電してその放電電流は並列接続された第2、第3のキャパシタを充電する動作を行う。続く第1相クロックパルス ( $\phi 1$ )、第2相クロックパルス ( $\phi 2$ ) が共にOFFの状態においては、前記第1、第2、第3のキャパシタは何れも充放電しない動作を行う。その後は前記最初の状態の動作に戻って再び同じ動作を繰り返すように構成されたものである。その上で、前記2相クロックの第1相クロックパルス ( $\phi 1$ ) とそれに続く第2相クロックパルス ( $\phi 2$ ) との時間間隔を、第1相クロックパルス ( $\phi 1$ ) により導通するアナログスイッチと第2相クロックパルス ( $\phi 2$ ) により導通するアナログスイッチとが同時に導通する状態が生じない範囲でできるだけ狭めてあることを特徴とするスイッチトキャパシタ回路で構成されたローパスフィルタである。

#### 【0020】

このように構成したことにより、第1相クロックパルス ( $\phi 1$ ) がON、第2相クロックパルス ( $\phi 2$ ) がOFFである状態に続く第1相クロックパルス ( $\phi 1$ )、第2相クロックパルス ( $\phi 2$ ) とが共にOFF状態となる期間においては、第1、第2のキャパシタの充電電荷が、それらのキャパシタの前後に接続されたアナログスイッチの洩れ電流による影響を受けにくくなる。従って、ローパスフィルタの低周波領域におけるゲインやカットオフ周波数に誤差が生ずることが避けられる。

#### 【0021】

また、請求項2に記載の発明は、スイッチトキャパシタ回路で構成されたローパスフィルタであって、演算増幅器と、第1、第2、第3のキャパシタと、2相クロックパルスの第1相クロックパルス ( $\phi 1$ ) がONの期間中のみ導通する第1、第2、第3のアナログスイッチと、2相クロックパルスの第2相クロックパルス ( $\phi 2$ ) がONの期間中のみ導通する第4、第5、第6のアナログスイッチとにより構成されている。演算増幅器 (OP1) は単一の電源電圧 ( $V_d$ ) により動作する演算増幅器であって、その非反転入力端子には該電源電圧 ( $V_d$ ) の

約  $1/2$  の基準電圧 ( $V_{ref}$ ) が印加される。また、第 1 のアナログスイッチ ( $S_{11}$ ) は入力端子 ( $N_0$ ) と相互接続ノード  $N_1$  との間に、第 4 のアナログ ( $S_{24}$ ) は相互接続ノード  $N_1$  と演算増幅器 ( $OP_1$ ) の非反転入力端子との間に、第 1 のキャパシタ ( $C_1$ ) は相互接続ノード  $N_1$  と相互接続ノード  $N_2$  との間に、第 2 のアナログスイッチ ( $S_{12}$ ) は相互接続ノード  $N_2$  と演算増幅器 ( $OP_1$ ) の非反転入力端子との間に、第 5 のアナログスイッチ ( $S_{25}$ ) は相互接続ノード  $N_2$  と演算増幅器 ( $OP_1$ ) の反転入力端子との間に、第 2 のキャパシタ ( $C_2$ ) は相互接続ノード  $N_2$  と相互接続ノード  $N_3$  との間に、第 3 のキャパシタ ( $C_3$ ) は演算増幅器 ( $OP_1$ ) の反転入力端子と出力端子との間に、第 3 のアナログスイッチ ( $S_{13}$ ) は相互接続ノード  $N_3$  と演算増幅器 ( $OP_1$ ) の非反転入力端子との間に、第 6 のアナログスイッチ ( $S_{26}$ ) は相互接続ノード  $N_3$  と演算増幅器 ( $OP_1$ ) の出力端子との間にそれぞれ接続されており、出力信号は演算増幅器 ( $OP_1$ ) の出力端子と非反転入力端子との間よりを取り出すように構成されている。その上で前記 2 相クロックパルスの第 1 相クロックパルス ( $\phi_1$ ) とそれに続く第 2 相クロックパルス ( $\phi_2$ ) との時間間隔を、第 1 相クロックパルス ( $\phi_1$ ) により導通するアナログスイッチと第 2 相クロックパルス ( $\phi_2$ ) により導通するアナログスイッチとが同時に導通する状態が生じない範囲でできるだけ狭めてあることを特徴とするスイッチトキャパシタ回路で構成されたローパスフィルタである。

#### 【0022】

このように構成したことにより、請求項 1 に記載の発明の場合と同様に、第 1 相クロックパルス ( $\phi_1$ ) が ON、第 2 相クロックパルス ( $\phi_2$ ) が OFF である状態に続く第 1 相クロックパルス ( $\phi_1$ )、第 2 相クロックパルス ( $\phi_2$ ) とが共に OFF 状態となる期間においては、第 1、第 2 のキャパシタの充電電荷が、それらのキャパシタの前後に接続されたアナログスイッチの洩れ電流による影響を受けにくくなる。従って、ローパスフィルタの低周波領域におけるゲインやカットオフ周波数に誤差が生ずることが避けられる。

#### 【0023】

また、請求項 3 に記載の発明は、前記第 1 相クロックパルス ( $\phi_1$ ) とそれに

続く第2相クロックパルス ( $\phi 2$ ) との時間間隔を、第1相クロックパルス ( $\phi 1$ ) により導通するアナログスイッチと、第2相クロックパルス ( $\phi 2$ ) により導通するアナログスイッチとが同時に導通する状態が生じない範囲で高温時の洩れ電流による影響を受けない時間以内としたことを特徴とする請求項1又は2に記載のスイッチトキャパシタ回路で構成されたローパスフィルタである。

#### 【0024】

第1相クロックパルス ( $\phi 1$ ) とそれに続く第2相クロックパルス ( $\phi 2$ ) との時間間隔をこのような時間に設定することで、アナログスイッチの洩れ電流がローパスフィルタの低周波領域におけるゲインとカットオフ周波数に与える悪影響を最小限に抑制することができる。

#### 【0025】

また、請求項4に記載の発明は、半導体基板の一部を薄肉にして形成したダイアフラムの表面に、該ダイアフラムに圧力が加わった場合に抵抗が増加する2つのピエゾ抵抗素子 (G1、G2) と、反対に抵抗が減少する2つのピエゾ抵抗素子 (G3、G4) とを設け、それらを同じ抵抗変化を生ずるもの同士が隣り合わないようブリッジ接続し、隣り合わない2つの相互接続端子に定電流又は定電圧を印加して残り2つの相互接続端子間に生ずる差電圧を差動増幅回路で増幅し、該増幅された電圧を請求項1ないし3の何れかに記載のスイッチトキャパシタ回路で構成されたローパスフィルタの前記入力端子と前記演算増幅器 (OP1) の非反転入力端子との間に入力し、該ローパスフィルタの出力信号により前記ダイアフラムに加わった圧力を検出するようにしたことを特徴とする半導体圧力センサ装置である。

#### 【0026】

このように構成すれば、半導体圧力センサ部で検出した信号から高周波成分が除去され、低周波成分の圧力変動のみを精度よく検出することが可能になる。

#### 【0027】

##### 【発明の実施の形態】

図3は、本発明の一実施形態に係る半導体圧力センサ1の構成を示したものである。図3の(a)は平面図を、(b)は(a)中のA-A断面図である。また

図 1 は、本発明の一実施形態に係る半導体圧力センサ装置の電氣的構成、及びその中で採用しているスイッチトキャパシタ回路で構成したローパスフィルタ 3 の回路構成を示したものである。また図 2 は、そのスイッチトキャパシタ回路で構成したローパスフィルタ 3 を駆動する 2 相クロックパルス  $\phi 1$ 、 $\phi 2$  の波形とタイミングを示したものである。各図中、従来技術の項で説明した構成要素と同一又は相当部分には同一の符号が付してある。

#### 【0028】

図 3 に示すように、半導体圧力センサ 1 は、シリコン基板 4 の上に形成される。シリコン基板 4 は、P 型シリコン基板 4 a の上に N 型エピタキシャル層 4 b を成長させたものである。P 型シリコン基板 4 a の中央部は薄肉に形成されており、表層に形成された N 型エピタキシャル層 4 b と共に薄肉のダイアフラム 5 を構成している。

#### 【0029】

薄肉のダイアフラム 5 の表層部には、P 型不純物を拡散させることによってピエゾ抵抗素子 G 1 ~ G 4 が形成されている。ダイアフラム 5 に圧力が加わった場合には、ダイアフラム 5 及びピエゾ抵抗素子 G 1 ~ G 4 に歪みが生じ、例えばピエゾ抵抗素子 G 1、G 2 の抵抗は高くなり、G 3、G 4 の抵抗は低くなるように形成されている。これらのピエゾ抵抗素子 G 1 ~ G 4 は、図 1 の半導体圧力センサ 1 部に示すようにブリッジ回路を構成するように接続されている。

#### 【0030】

ブリッジ回路におけるピエゾ抵抗素子 G 1 と G 3 の相互接続点には、定電流源 6 より定電流  $I_a$  が供給され、ピエゾ抵抗素子 G 2 と G 4 の相互接続点は接地されている。このような回路構成の下でダイアフラム 5 に圧力が加わると、ピエゾ抵抗素子 G 2 と G 3 の相互接続点の電位  $V_{p1}$  は上昇し、ピエゾ抵抗素子 G 1 と G 4 の相互接続点の電位  $V_{p2}$  は下降する。そして、その差電圧 ( $V_{p1} - V_{p2}$ ) は、ダイアフラム 5 に加えられた圧力にほぼ比例した値となる。

#### 【0031】

差電圧 ( $V_{p1} - V_{p2}$ ) は、差動増幅回路 2 にて増幅され出力に電圧  $V_o$  を生成する。差動増幅回路には種々の回路形式があるが、図 1 中に示した差動増幅回路

2は、2個の演算増幅器OP2、OP3と4個の抵抗R3～R6を使用した回路である。前記相互接続点の電位Vp1、Vp2は、それぞれ演算増幅器OP2、OP3の非反転入力端子に入力される。抵抗R3～R6は、演算増幅器OP2の出力端子と接地電位より基準電圧(Vref)だけ高い電圧に維持された相互接続ノードNVrefとの間に直列に接続される。抵抗R3の両端は演算増幅器OP2の出力端子と反転入力端子との間にも接続される。抵抗R5の両端は演算増幅器OP3の出力端子と反転入力端子との間にも接続される。抵抗R6の一端は相互接続ノードNVrefに接続される。演算増幅器OP2の出力端子と相互接続ノードNVrefとの間の電圧が差動増幅回路2の出力電圧Voである。抵抗R3～R6の抵抗値を全て等しくしたとすると、出力電圧Voは2(Vp1-Vp2)となる。

#### 【0032】

差動増幅回路2の出力電圧Voは、スイッチトキャパシタ回路で構成したローパスフィルタ3に入力される。このローパスフィルタ3の回路構成は、図7の従来回路構成中に記載した構成と同じである。即ち、演算増幅器OP1と、第1、第2、第3のキャパシタC1、C2、C3と、2相クロックパルスφ1、φ2の第1相クロックパルスφ1がONの期間中のみ導通する第1、第2、第3のアナログスイッチS11、S12、S13と、第2相クロックパルスφ2がONの期間中のみ導通する第4、第5、第6のアナログスイッチS24、S25、S26とにより構成されている。

#### 【0033】

演算増幅器OP1は単一の電源電圧Vdにより動作する演算増幅器である。その非反転入力端子は前記相互接続ノードNVrefに接続されている。相互接続ノードNVrefには電源電圧Vdの約1/2の基準電圧Vrefが印加されている。このような基準電圧を印加するのは、演算増幅器OP1を単一電源で動作させるためである。演算増幅器OP1を正、負の2電源で動作させる場合には、基準電圧Vrefは0Vとして接地電位と同じにすればよい。

#### 【0034】

また、第1のアナログスイッチS11は入力端子N0と相互接続ノードN1との間に、第4のアナログS24は相互接続ノードN1と演算増幅器OP1の非反

転入力端子との間に、第1のキャパシタC1は相互接続ノードN1と相互接続ノードN2との間に、第2のアナログスイッチS12は相互接続ノードN2と演算増幅器OP1の非反転入力端子との間に、第5のアナログスイッチS25は相互接続ノードN2と演算増幅器OP1の反転入力端子との間に、第2のキャパシタC2は相互接続ノードN2と相互接続ノードN3との間に、第3のキャパシタC3は演算増幅器OP1の反転入力端子と出力端子との間に、第3のアナログスイッチS13は相互接続ノードN3と演算増幅器OP1の非反転入力端子との間に、第6のアナログスイッチS26は相互接続ノードN3と演算増幅器OP1の出力端子との間にそれぞれ接続されている。出力信号は演算増幅器(OP1)の出力端子と非反転入力端子との間よりを取り出すように構成されている。

#### 【0035】

その上で前記2相クロックパルスの第1相クロックパルス( $\phi 1$ )とそれに続く第2相クロックパルス( $\phi 2$ )との時間間隔を、第1相クロックパルス( $\phi 1$ )により導通するアナログスイッチと第2相クロックパルス( $\phi 2$ )により導通するアナログスイッチとが同時に導通する状態が生じない範囲でできるだけ狭めであることを特徴とするスイッチトキャパシタ回路で構成されたローパスフィルタである。

#### 【0036】

ここで、アナログスイッチS11、S12、S13は、2相クロックパルス $\phi 1$ 、 $\phi 2$ の第1相クロックパルス $\phi 1$ が印加されている間(ONの間)のみ導通するアナログスイッチであり、S24、S25、S26は第2相クロックパルス $\phi 2$ が印加されている間(ONの間)のみ導通するアナログスイッチである。

#### 【0037】

第1相クロックパルス $\phi 1$ がONで第2相クロックパルス $\phi 2$ がOFFである相1の期間(図2参照)においては、回路の接続状態は図5の(1)に示すようになる。キャパシタC1は入力電圧Voまで充電され、反対にキャパシタC2は放電して充電電荷はゼロになる。キャパシタC3の充電電圧は変化しない。

#### 【0038】

相1に続く相2においては、図5の(2)に示すようアナログスイッチは全て



OFF し、各キャパシタは相 1 が終了する直前の充電電圧を維持する。

#### 【0 0 3 9】

続く相 3 においては、第 1 相クロックパルス  $\phi 1$  は OFF し第 2 相クロックパルス  $\phi 2$  が ON するので回路の接続状態は図 5 の (3) に示すようになる。キャパシタ C 2、C 3 は並列接続された状態となり、キャパシタ C 1 は演算増幅器 OP 1 の反転入力端子と非反転入力端子との間に接続された状態となる。

#### 【0 0 4 0】

演算増幅器 OP 1 の反転入力端子の電位は非反転入力端子と等しくなるため、キャパシタ C 1 は放電し、その放電電流はキャパシタ C 2、C 3 を充電する。キャパシタ C 2 にはキャパシタ C 1 の放電電流が流れ込むと同時に、演算増幅器 OP 1 の出力端子からの充電電流も流れ込み、キャパシタ C 2 は最終的にキャパシタ C 3 の充電電圧と同じ電圧まで充電される。キャパシタ C 3 は、キャパシタ C 1 の放電電流により充電された分だけ充電電圧が上昇、または下降する。キャパシタ C 3 の充電電圧と出力電圧  $V_{out}$  とは等しいので、出力電圧  $V_{out}$  もキャパシタ C 3 の充電電圧が変化した分だけ変化する。

#### 【0 0 4 1】

続く相 4 においては、図 5 の (4) に示すように相 3 の場合と同じく全てのアナログスイッチが OFF し、各キャパシタは相 3 の終了直前の充電電圧を維持する。

#### 【0 0 4 2】

本実施形態におけるローパスフィルタ 3 の回路構成と 2 相クロックパルス  $\phi 1$ 、 $\phi 2$  に基づく動作は、従来技術の項で説明したローパスフィルタ 3 と同じである。しかし本実施形態の場合は、2 相クロックパルス  $\phi 1$ 、 $\phi 2$  の位相関係が前述した従来技術の場合のタイミング（図 8）と相違する。本実施形態の 2 相クロックパルス  $\phi 1$ 、 $\phi 2$  の波形とタイミングは図 2 に示した通りである。

#### 【0 0 4 3】

カットオフ周波数  $f_c$  が 1 Hz といった低い周波数となるローパスフィルタを実現しようとする場合、従来技術では図 8 に示した波形（基本クロックパルスの周波数は 150 kHz）のまま、基本クロックパルスの周波数を 1.5 kHz に

下げた。このようにすると、相 2 の期間が  $170\ \mu\text{s}$  と長くなり、キャパシタ C 1、C 2 の充電電荷が前後に接続されたアナログスイッチの洩れ電流の影響を受けてその間に変化してしまう。その結果、ローパスフィルタ 3 の低周波領域におけるゲイン及び (3) 式で表わされるカットオフ周波数  $f_c$  に誤差が生じてしまうという問題が生じた。

#### 【0044】

これに対して、本実施形態の場合には図 2 に示すように、クロックパルス  $\phi 1$ 、 $\phi 2$  の周波数は共に  $150\ \text{Hz}$  と低くする。それと同時に、クロックパルス  $\phi 1$  が OFF した後、極めて短時間をおいただけで直ぐにクロックパルス  $\phi 2$  が立ち上がるようにタイミングを変更した。即ち、相 2 の期間を非常に短くした。相 2 の期間は、クロックパルス  $\phi 1$ 、 $\phi 2$  によりそれぞれ導通するアナログスイッチの導通期間が重ならない範囲の最小時間が確保できればよく、可能な限りその最小時間に近いことが望ましい。具体的には、アナログスイッチの高温時の洩れ電流による影響を受けない時間以内にすればよく、目安としては、アナログスイッチとして高速の MOS トランジスタを使用する場合には、 $0.6 \sim 2\ \mu\text{s}$  程度確保すれば十分である。

#### 【0045】

このように相 2 の期間を短くすれば、相 1 の終了時点における充電電荷をキャパシタ C 1、C 2 が保持しなければならない時間が短くなる。これによって、相 3 の動作開始までの間におけるアナログスイッチの洩れ電流による影響を殆ど無視できる程度に抑えることが可能になる。その結果、ローパスフィルタ 3 の低周波領域におけるゲイン及び (3) 式で表わされるカットオフ周波数  $f_c$  に誤差や変動が生ずるという問題を解決することができる。

#### 【0046】

図 2 に示したようなタイミングの 2 相クロックパルス  $\phi 1$ 、 $\phi 2$  は、例えば図 4 に示した回路で発生させることができる。即ち、基本クロック生成回路 7 で  $1.5\ \text{kHz}$  の基本クロックパルスを生成し、2 ビットの 2 進カウンタ 8 に入力して計数する。2 進カウンタ 8 の 2 の 0 乗の出力をインバータ Q 1 で反転した信号と 2 の 1 乗の出力とを 2 入力 AND 回路 Q 2 に入力する。2 入力 AND 回路 Q 2

の出力には、2進カウンタ8の計数値が2の時にパルスが現れる。このパルスをクロックパルス $\phi 1$ として使用する。

#### 【0047】

同じく、2進カウンタ8の2の0乗の出力と、2の1乗の出力を2入力AND回路Q3に入力する。2入力AND回路Q3の出力には、2進カウンタ8の計数値が3の時にパルスが現れる。そのパルスを遅延回路9にて約 $1\mu s$ 遅らせ、遅らせたパルスをクロックパルス $\phi 2$ として使用する。このようにすれば図2に示したようなタイミングのクロックパルス $\phi 1$ 、 $\phi 2$ を生成することができる。

#### 【0048】

以上の説明から明らかなように、本実施形態の構成によれば、アナログスイッチの洩れ電流の影響を殆ど受けることのない、非常に低いカットオフ周波数を持つスイッチトキャパシタ回路で構成したローパスフィルタを実現することができる。そして、そのローパスフィルタを採用することで、高い周波成分が重畳した圧力変動の中から、非常に低い周波数成分の圧力変動のみを検出することのできる半導体圧力センサ装置を実現することが可能になる。

#### 【図面の簡単な説明】

【図1】 本発明の一実施形態に係る半導体圧力センサ装置の電氣的構成図である。

【図2】 本発明に係るスイッチトキャパシタ回路で構成したローパスフィルタの2相クロックパルスのタイミングチャートである。

【図3】 本発明の一実施形態に係る半導体圧力センサ装置のセンサ部の構成例である。

【図4】 本発明に係る2相クロックパルスを生成する回路例である。

【図5】 本発明に係るスイッチトキャパシタ回路で構成したローパスフィルタの動作を説明する図である。

【図6】 本発明に係るスイッチトキャパシタ回路で構成したローパスフィルタの等価回路である。

【図7】 従来技術を示す図1相当図である。

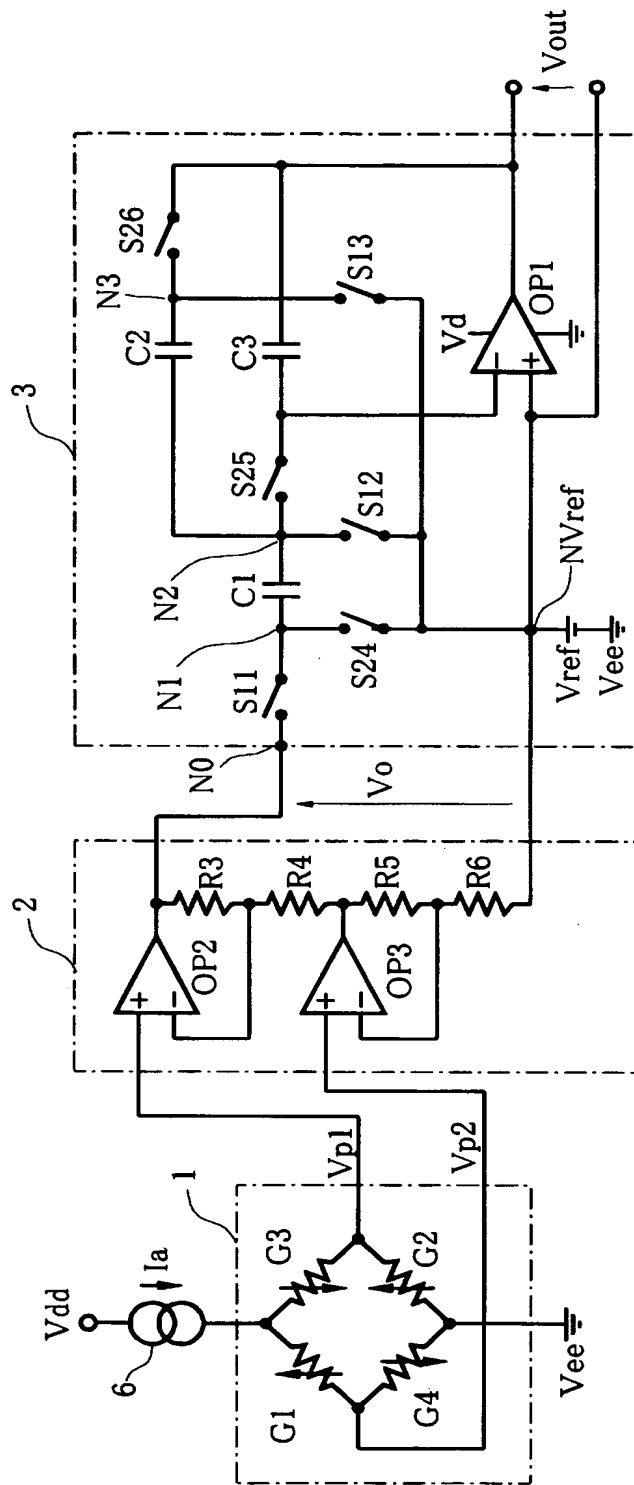
【図8】 従来技術を示す図2相当図である。

## 【符号の説明】

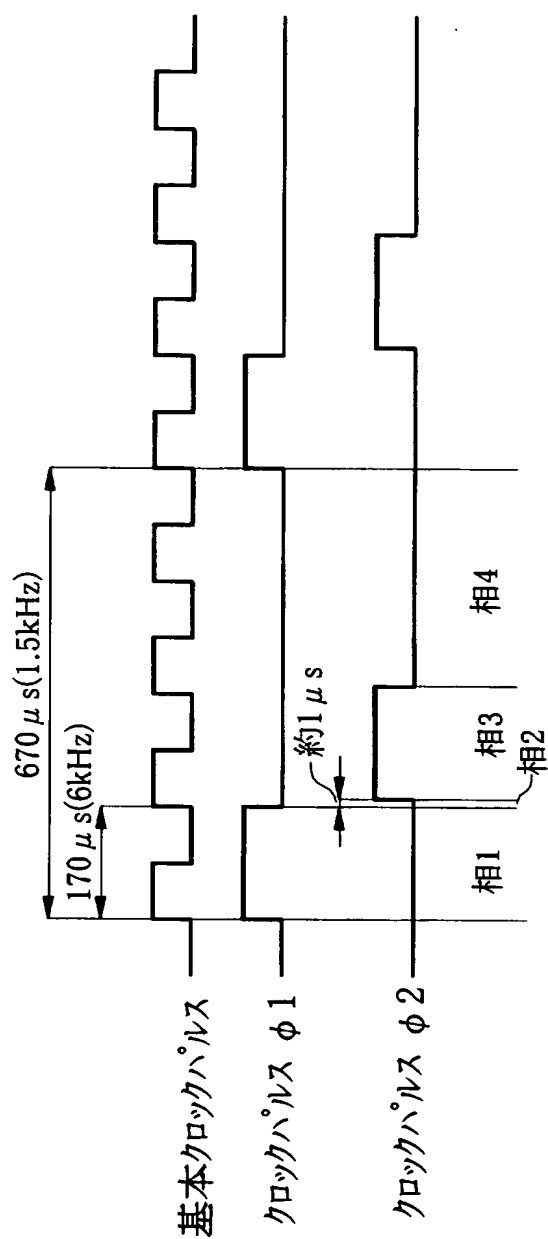
図面中、1は半導体圧力センサ部、2は差動増幅回路、3はスイッチトキャパシタ回路で構成したローパスフィルタ、4は半導体基板、5はダイアフラム、6は定電流源、C1は第1のキャパシタ、C2は第2のキャパシタ、C3は第3のキャパシタ、G1、G2、G3、G4はピエゾ抵抗素子、N0は入力端子、N1、N2、N3、NVrefは相互接続ノード、OP1、OP2、OP3は演算増幅器、S11は第1のアナログスイッチ、S12は第2のアナログスイッチ、S13は第3のアナログスイッチ、S24は第4のアナログスイッチ、S25は第5のアナログスイッチ、S26は第6のアナログスイッチ、Voはローパスフィルタの入力信号（差動増幅回路の出力信号）、Voutは出力信号、 $\phi$ 1は第1相クロックパルス、 $\phi$ 2は第2相クロックパルスを示す。

【書類名】 図面

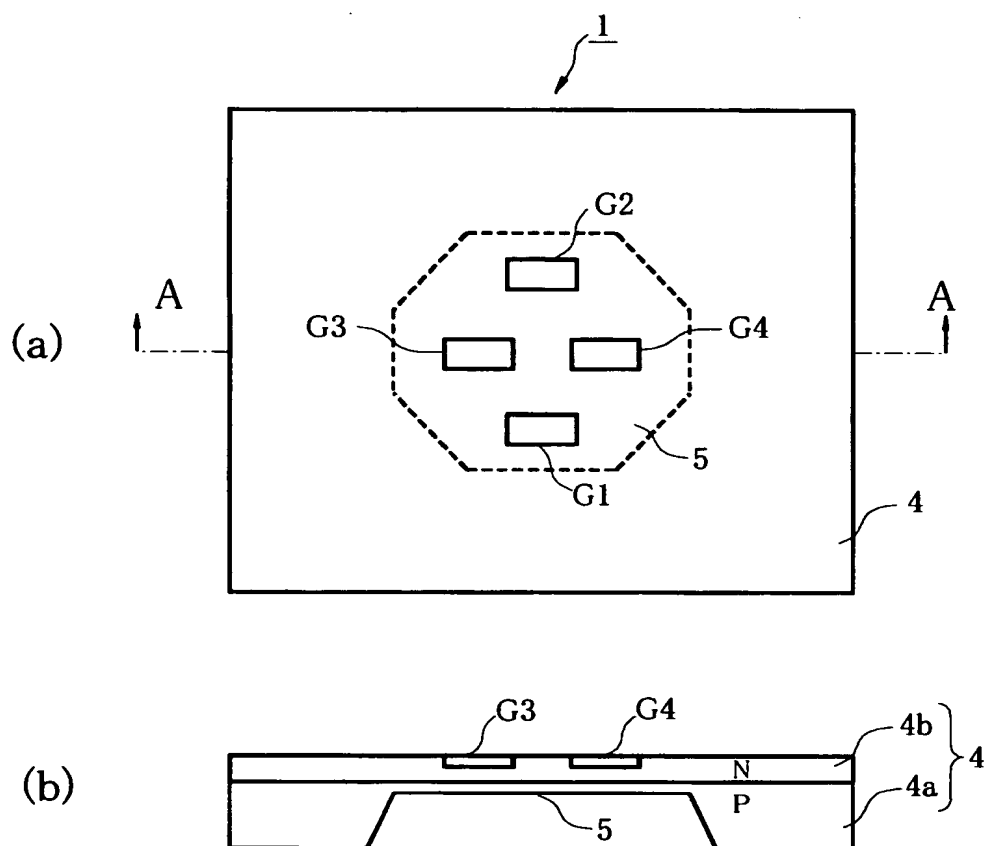
【図 1】



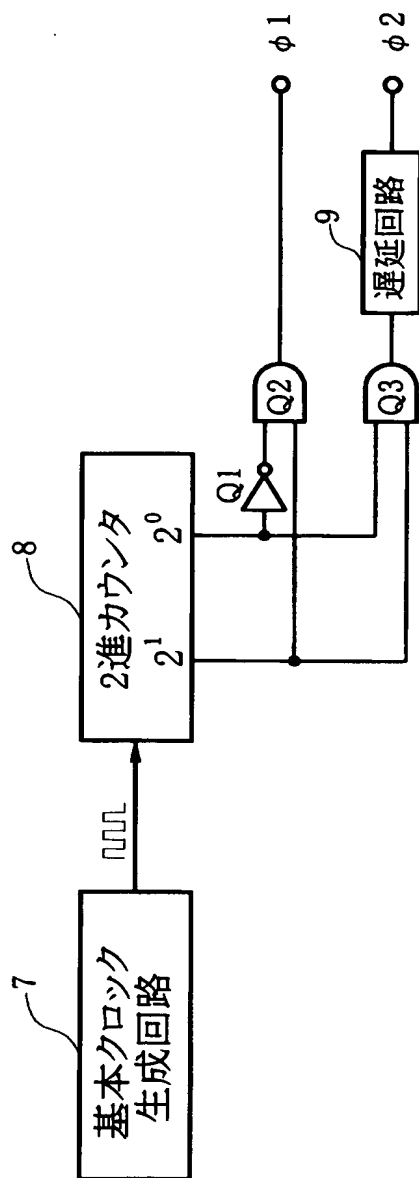
【図 2】



【図 3】

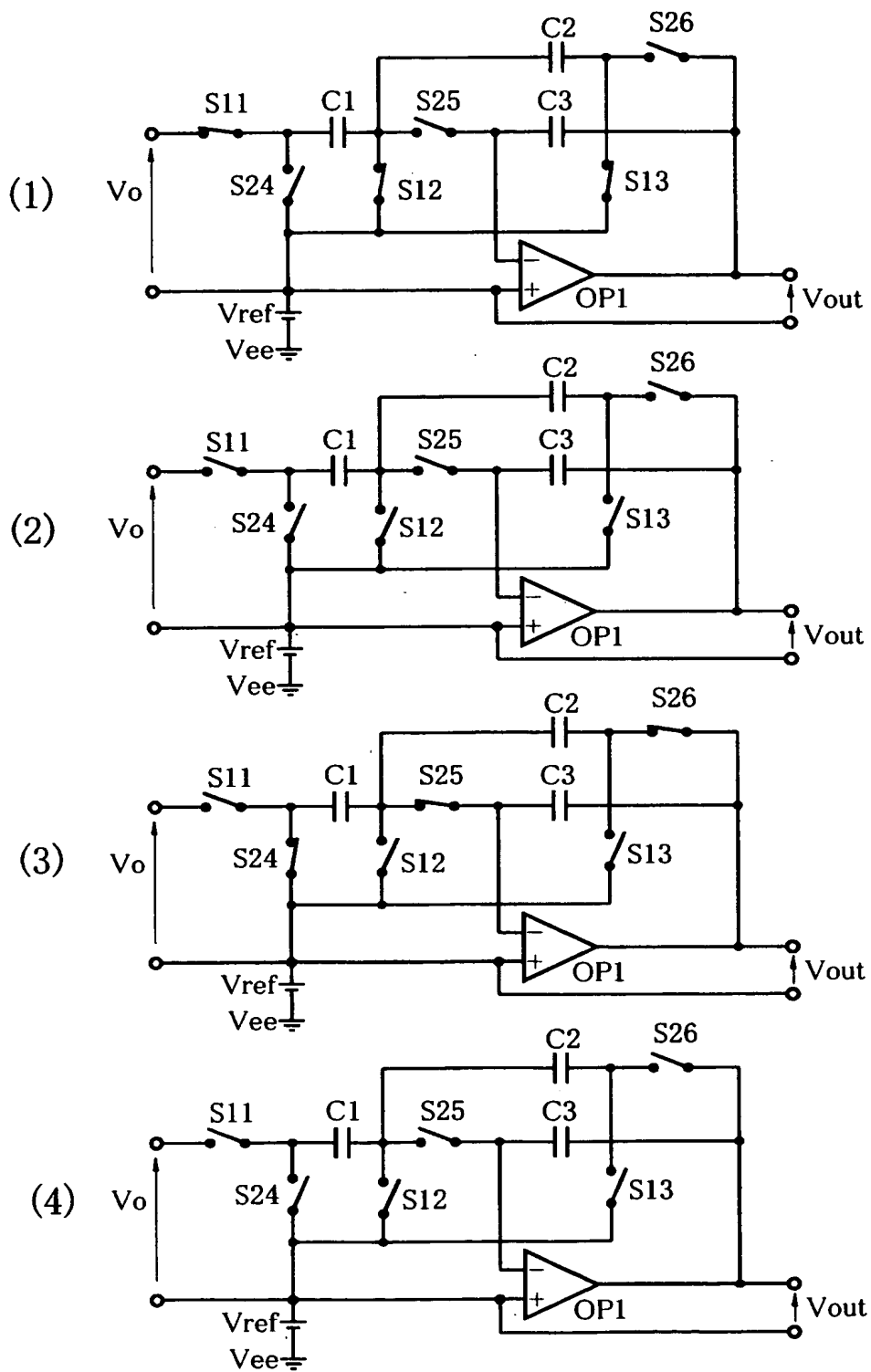


【図 4】

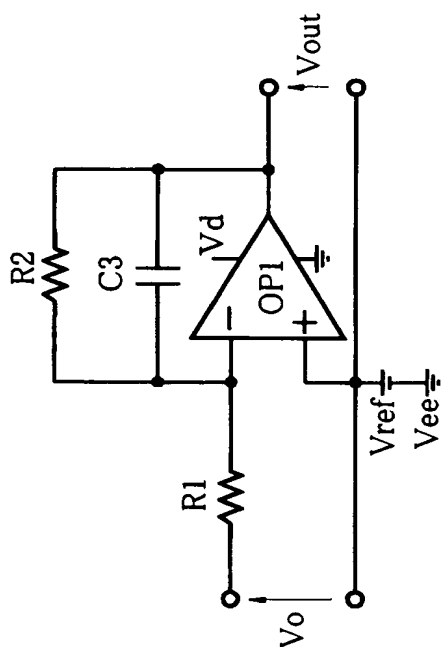




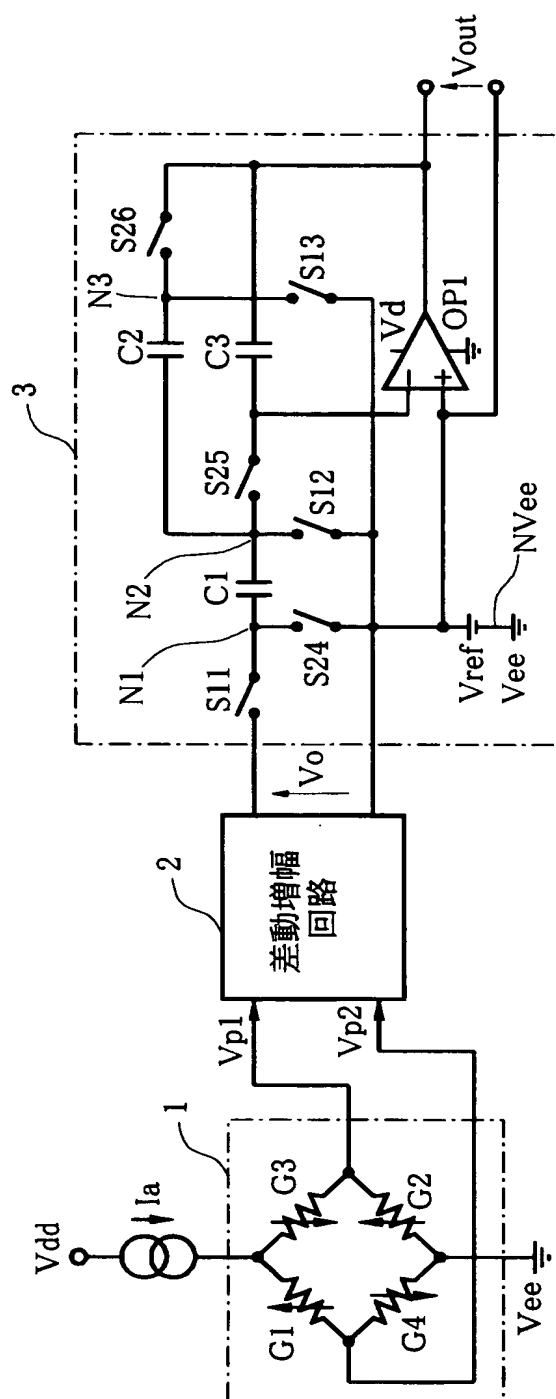
【図 5】



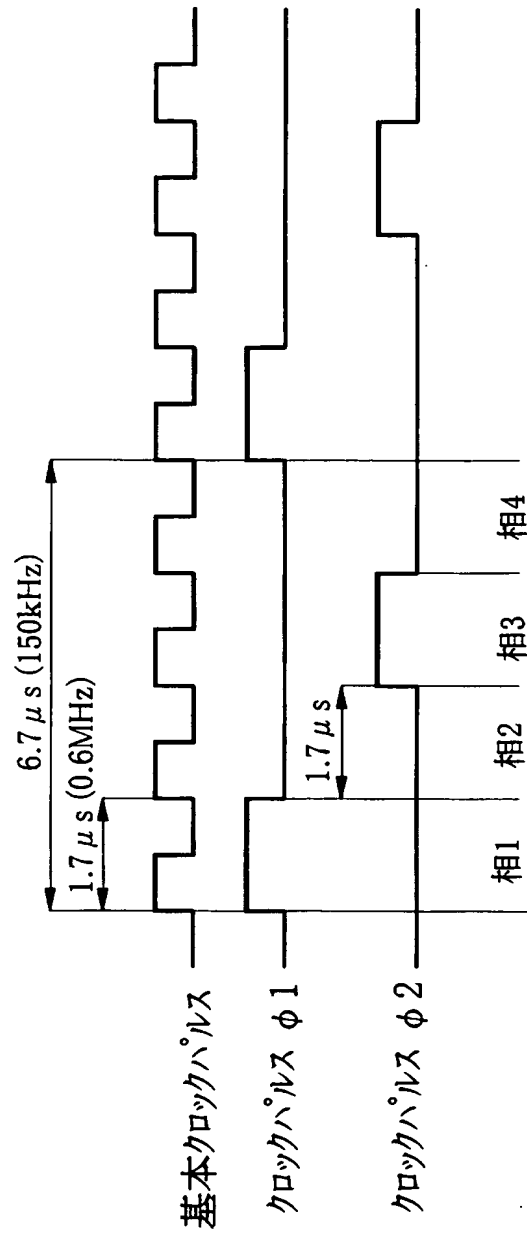
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 アナログスイッチの洩れ電流の影響を受けることのない非常に低周波のカットオフ周波数を有するスイッチトキャパシタ回路で構成したローパスフィルタ、及びそれを使用した半導体圧力センサ装置を提供する。

【解決手段】 2相クロックパルスのクロックパルス $\phi 1$ の間中は第1のキャパシタは入力電圧で充電、第2のキャパシタは放電、第3のキャパシタは充電停止させ、クロックパルス $\phi 2$ の間中は第1のキャパシタに蓄積された電荷により並列接続状態にある第2、第3のキャパシタが充電されるように動作するスイッチトキャパシタ回路を構成し、クロックパルス $\phi 1$ 、 $\phi 2$ の位相関係を、クロックパルス $\phi 1$ の終了後、短い時間間隔をおいてクロックパルス $\phi 2$ が立ち上がるようにする。

【選択図】 図1

特願 2 0 0 3 - 0 5 9 8 7 9

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 4 2 6 0 ]

1. 変更年月日

1 9 9 6 年 1 0 月 8 日

[変更理由]

名称変更

住 所

愛知県刈谷市昭和町 1 丁目 1 番地

氏 名

株式会社デンソー